

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183342

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H01L 29/78

H01L 21/336

(21)Application number : 10-360357

(71)Applicant : NEC CORP

(22)Date of filing : 18.12.1998

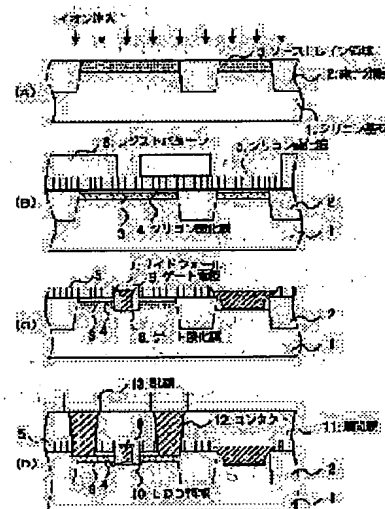
(72)Inventor : TAKAHASHI HISASHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which suppresses the short-channel effect and can prevent leakage between a contact and a silicon substrate, and to provide a manufacturing method.

SOLUTION: In a silicon substrate where a source drain region 3, a silicone oxide film 4 and a silicon nitride film 5 are formed sequentially, a groove passing through the films and cutting the source drain region is provided. A columnar gate electrode 9, formed so that it is detached from a sidewall is provided in the groove and an LDD region 10 is formed in a region, where the gate electrode of a groove base part is not arranged. Thus, short-channel effect which accompanies shortening of gate length is suppressed.



LEGAL STATUS

[Date of request for examination] 18.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3189817

[Date of registration] 18.05.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by what the source / drain layer formed in the semiconductor substrate are divided, and it has the slot of the depth which reaches said semiconductor substrate, and it is the interior of said slot, and the column-like gate electrode is arranged in the side attachment wall of this slot, and the estranged location for.

[Claim 2] To the semiconductor substrate with which the low concentration drain (LDD) layer, and the source / drain layer were formed in this order Said source / drain layer are divided, and it has the slot of the depth which reaches said low concentration drain layer. In the lower part of said slot The semiconductor device characterized by what said low concentration drain layer is divided and it has the impurity range which reaches said semiconductor substrate, and it is the interior of said slot, and the column-like gate electrode is arranged in the side attachment wall of this slot, and the estranged location for.

[Claim 3] The source / drain layer, silicon oxide, and a silicon nitride are formed in the field inserted into the component isolation region of a semiconductor substrate at this order. Said source / drain layer, said silicon oxide, and said silicon nitride are penetrated, and it has the slot of the depth which reaches said semiconductor substrate. Inside said slot The semiconductor device characterized by what it estranges with the side attachment wall of this slot, and is formed, and it has the gate electrode of the shape of a column which contacts said semiconductor substrate through gate oxide, and the low concentration drain layer is formed in the field which is not covered with said gate electrode among the fields where said semiconductor substrate and said slot touch for.

[Claim 4] A low concentration drain layer, the source / drain layer, silicon oxide, and a silicon nitride are formed in the field inserted into the component isolation region of a semiconductor substrate at this order. Said source / drain layer, said silicon oxide, and said silicon nitride are penetrated, and it has the slot of the depth which reaches said low concentration drain layer. Inside said slot Estrange with the side attachment wall of this slot, and it is formed, and has the gate electrode of the shape of a column which contacts said semiconductor substrate through gate oxide. The semiconductor device characterized by what the impurity range which divides said low concentration drain layer in the lower part of said gate electrode among the fields where said semiconductor substrate and said slot touch is formed for.

[Claim 5] The semiconductor device according to claim 2 or 4 characterized by what said impurity range is formed for by pouring in boron and boron fluoride, arsenic, or one impurity of Lynn.

[Claim 6] (a) The process which forms a component isolation region on a semiconductor substrate, and the process which forms the source / drain layer of a transistor by the (b) ion implantation, (c) The process which carries out the laminating of silicon oxide and the silicon nitride to this order, (d) Said silicon nitride and said silicon oxide, and said source / drain layer are etched by using a resist pattern as a mask. The process which forms the slot of the depth which reaches said semiconductor substrate, and the process which forms a sidewall in the wall of the (e) aforementioned slot, (f) The process which embeds the 1st conductive member used as a gate electrode in the opening inserted into said sidewall of said slot, (g) The process which removes said sidewall, and the process which pours in ion through

the field which removed the (h) aforementioned sidewall, and forms a low concentration drain layer, (i) The process which penetrates the process which forms an interlayer film in said whole semi-conductor substrate, and the (j) aforementioned interlayer film, said silicon nitride and said silicon oxide by etching, and forms a contact hole, (k) The manufacture approach of the semiconductor device characterized by what the process which forms predetermined wiring is included for after laying said interior of a contact hole underground by the 2nd conductive member.

[Claim 7] (a) The process which forms a component isolation region on a semi-conductor substrate, and the process which forms a low concentration drain layer, and the source / drain layer of a transistor in this order by the (b) ion implantation, (c) The process which carries out the laminating of silicon oxide and the silicon nitride to this order, (d) Said silicon nitride and said silicon oxide, and said source / drain layer are etched by using a resist pattern as a mask. The process which forms the slot of the depth which reaches said low concentration drain layer, the process which forms a sidewall in the wall of the (e) aforementioned slot, and by pouring in an impurity by using the (f) aforementioned sidewall as a mask The process which forms the impurity range which divides the low concentration drain layer of said slot lower part, (g) The process which embeds the 1st conductive member used as a gate electrode in the opening inserted into said sidewall of said slot, (h) The process which removes said sidewall, and the process which forms an interlayer film in the whole (i) aforementioned semi-conductor substrate, (j) The process which penetrates said interlayer film, said silicon nitride, and said silicon oxide by etching, and forms a contact hole, (k) The manufacture approach of the semiconductor device characterized by what the process which forms predetermined wiring is included for after laying said interior of a contact hole underground by the 2nd conductive member.

[Claim 8] The manufacture approach of the semiconductor device according to claim 7 characterized by what the impurity range of the process of the above (f) is formed for by pouring in boron and boron fluoride, arsenic, or one impurity of Lynn.

[Claim 9] The manufacture approach of the semiconductor device according to claim 6 or 7 characterized by what is etched on the conditions to which the etching rate of said silicon oxide and said semi-conductor substrate becomes small in case it etches on the conditions to which the etching rate of said silicon nitride becomes small in case said interlayer film is etched, and said silicon nitride is etched in the process of the above (j).

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] In recent years, it is in each part of a semiconductor device, especially the inclination for gate length's dimension to also be reduced, with detailed-izing and improvement in the speed of a semiconductor device. The manufacture approach of such a conventional semiconductor device is explained with reference to drawing 3. Drawing 3 (A) - (D) is a process sectional view for explaining the manufacture approach of the conventional semiconductor device typically.

[0003] First, as shown in drawing 3 (A), on a silicon substrate 1, for example, the trench separation forming method is used, and the component isolation region 2 is formed, then gate oxide 8 is formed. Next, as shown in drawing 3 (B), the polycrystalline silicon film 15 grade used as the gate electrode 9 is formed, then the resist pattern 6 for gate electrode 9 formation is formed. Next, as shown in drawing 3 (C), the polycrystalline silicon film 15 is etched by using a resist pattern 6 as a mask, after that, using ion-implantation, boron or boron fluoride is poured into a P channel field for an arsenic or Lynn with the dose of $5E12cm^{-2}$ to $2-5E14cm^{-2}$, and the low concentration drain (LDD:Lightly Doped Drain) field 10 is formed in an N channel field. This LDD structure is effective technique in order to form a short channel transistor.

[0004] Then, a sidewall 7 is formed in the outside of the gate electrode 9 by the thickness of 30nm - 100nm, for example using silicon oxide. Then, with ion-implantation, if it is an N channel field and is a P channel field about an arsenic or Lynn, boron or boron fluoride will be poured in with the dose of $1E15cm^{-2}$ to $2-1E16cm^{-2}$, and the source and the drain field 3 used as a diffusion layer field are formed.

[0005] Next, as shown in drawing 3 (D), the resist pattern for forming an interlayer film 11, then forming contact 12 is formed. Then, an interlayer film 11 is etched by using a resist pattern as a mask. Etching in this case is performed on the conditions which can take silicon oxide 5 and a selection ratio. Then, the contact 12 interior is laid underground using a tungsten, then wiring 13 is formed, and a semiconductor device is manufactured.

[0006]

[Problem(s) to be Solved by the Invention] However, by the manufacture approach of the conventional semiconductor device mentioned above, in order to be unable to make gate length smaller than the limitation of lithography and to have to form the source and the drain field 3 more deeply than the gate electrode 9, pressure-proofing between the source and the drain field 3 falls, and there is a problem that the short channel effect that a punch through becomes easy to happen cannot be controlled.

[0007] Moreover, when carrying out opening of the contact 12 on isolation 2, since the component isolation region 2 will corrode by etching in the case of etching of contact 12, the component isolation region 2 will be dug, and the problem that leak between contact 12 and a silicon substrate 1 will occur is also produced.

[0008] This invention is made in view of the above-mentioned trouble, and the main object controls a short channel effect, and is to offer contact, the semiconductor device which can prevent leak between silicon substrates, and its manufacture approach.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned object, the source / drain layer,

silicon oxide, and a silicon nitride are formed in the field to which this invention was inserted into the component isolation region of a semi-conductor substrate in the 1st view at this order. Said source / drain layer, said silicon oxide, and said silicon nitride are penetrated, and it has the slot of the depth which reaches said semi-conductor substrate. Inside said slot It estranges with the side attachment wall of this slot, and is formed, and it has the gate electrode of the shape of a column which contacts said semi-conductor substrate through gate oxide, and the low concentration drain layer is formed in the field which is not covered with said gate electrode among the fields where said semi-conductor substrate and said slot touch.

[0010] Moreover, a low concentration drain layer, the source / drain layer, silicon oxide, and a silicon nitride are formed in the field to which this invention was inserted into the component isolation region of a semi-conductor substrate in the 2nd view at this order. Said source / drain layer, said silicon oxide, and said silicon nitride are penetrated, and it has the slot of the depth which reaches said low concentration drain layer. Inside said slot It estranges with the side attachment wall of this slot, and is formed, and it has the gate electrode of the shape of a column which contacts said semi-conductor substrate through gate oxide, and the impurity range which divides said low concentration drain layer in the lower part of said gate electrode among the fields where said semi-conductor substrate and said slot touch is formed.

[0011] Moreover, this invention offers the manufacture approach of a semiconductor device in the 3rd view. The process at which this manufacture approach forms a component isolation region on (a) semi-conductor substrate, (b) The process which forms the source / drain layer of a transistor by the ion implantation, (c) The process which carries out the laminating of silicon oxide and the silicon nitride to this order, (d) Said silicon nitride and said silicon oxide, and said source / drain layer are etched by using a resist pattern as a mask. The process which forms the slot of the depth which reaches said semi-conductor substrate, and the process which forms a sidewall in the wall of the (e) aforementioned slot, (f) The process which embeds the 1st conductive member used as a gate electrode in the opening inserted into said sidewall of said slot, (g) The process which removes said sidewall, and the process which pours in ion through the field which removed the (h) aforementioned sidewall, and forms a low concentration drain layer, (i) The process which penetrates the process which forms an interlayer film in said whole semi-conductor substrate, and the (j) aforementioned interlayer film, said silicon nitride and said silicon oxide by etching, and forms a contact hole, (k) After laying said interior of a contact hole underground by the 2nd conductive member, the process which forms predetermined wiring is included.

[0012] Furthermore, this invention offers the manufacture approach of a semiconductor device in the 4th view. The process at which this manufacture approach forms a component isolation region on (a) semi-conductor substrate, (b) The process which forms a low concentration drain layer, and the source / drain layer of a transistor in this order by the ion implantation, (c) The process which carries out the laminating of silicon oxide and the silicon nitride to this order, (d) Said silicon nitride and said silicon oxide, and said source / drain layer are etched by using a resist pattern as a mask. The process which forms the slot of the depth which reaches said low concentration drain layer, the process which forms a sidewall in the wall of the (e) aforementioned slot, and by pouring in an impurity by using the (f) aforementioned sidewall as a mask The process which forms the impurity range which divides the low concentration drain layer of said slot lower part, (g) The process which embeds the 1st conductive member used as a gate electrode in the opening inserted into said sidewall of said slot, (h) The process which removes said sidewall, and the process which forms an interlayer film in the whole (i) aforementioned semi-conductor substrate, (j) Said interlayer film, said silicon nitride, and said silicon oxide are penetrated by etching, and the process which forms a contact hole, and the process which forms predetermined wiring after laying the interior of the (k) aforementioned contact hole underground by the 2nd conductive member are included.

[0013]

[Embodiment of the Invention] The semiconductor device concerning this invention in the gestalt of desirable 1 operation, to that silicon substrate by which a source drain field (3 of drawing 1), silicon oxide (4 of drawing 1), and a silicon nitride (5 of drawing 1) were formed in this order It has the slot which penetrates these and divides a source drain field. Inside a slot It has the gate electrode (9 of

drawing 1) of the shape of a column formed so that it might estrange from the side attachment wall, and the short channel effect accompanying gate length's cutback-izing is controlled by forming a LDD field (10 of drawing 1) in the field in which the gate electrode of the groove bottom section is not arranged.

[0014]

[Example] The gestalt of operation of above-mentioned this invention is explained below with reference to a drawing about the example of this invention that it should explain to a detail further.

[0015] [Example 1] The manufacture approach of the semiconductor device concerning the 1st example of this invention is first explained with reference to drawing 1 . Drawing 1 (A) – (D) is a process sectional view for explaining typically the manufacture approach of the semiconductor device of the 1st example of this invention.

[0016] First, as shown in drawing 1 (A), on a silicon substrate 1, for example, the trench separation forming method is used, the component isolation region 2 is formed, after that, with ion-implantation, if it is an N channel field and is a P channel field about an arsenic or Lynn, boron or boron fluoride will be poured in with the dose of $1E15cm^{-2}$ – $1E16cm^{-2}$, and the source and the drain field 3 used as a diffusion layer field are formed.

[0017] Next, as shown in drawing 1 (B), silicon oxide 4 is formed by 5nm – 30nm thickness by thermal oxidation, and a silicon nitride is formed by 50nm – 200nm thickness with a CVD method etc. Then, the resist pattern 6 for gate electrode 9b formation is formed. Then, dry etching performs anisotropic etching for the silicon nitride 5, silicon oxide 4, and a silicon substrate 1 one by one by using a resist pattern 6 as a mask, and a slot is formed. In addition, the amount of etching of a silicon substrate 1 is adjusted so that it may be etched more deeply than the source and the drain field 3.

[0018] Next, as shown in drawing 1 (C), a sidewall 7 is formed by the thickness of 30nm – 100nm inside a slot using silicon oxide. Then, after forming gate oxide 8 by 2nm – 5nm thickness by thermal oxidation, in order to form the gate electrode 9, polycrystalline silicon is deposited 10nm – 50nm in thickness with a CVD method, and etchback is carried out. In addition, the etchback in this case can form the silicon nitride 5 currently formed in the front face using the CMP method by considering as an etching stopper.

[0019] Next, as shown in drawing 1 (D), etching clearance of the sidewall 7 is carried out, then boron or boron fluoride is poured into an N channel field for an arsenic or Lynn with the dose of $5E12cm^{-2}$ – $5E14cm^{-2}$ in a P channel field, using ion-implantation, and the LDD field 10 is formed.

[0020] Then, the resist pattern for forming an interlayer film 11, then forming contact 12 is formed. Then, sequential etching of an interlayer film 11 and the silicon nitride 5 is carried out by using a resist pattern as a mask. First, etching in this case carries out on the conditions which can secure a selection ratio with the silicon nitride 5 at the time of etching of an interlayer film 11, and carries out on the conditions which can secure the selection ratio of a silicon substrate 1 and isolation 2 at the time of etching of the silicon nitride 5. Then, the contact 12 interior is laid underground using a tungsten, then wiring 13 is formed.

[0021] As mentioned above, according to this example, gate length is controllable by the sidewall 7 at the time of formation of the gate electrode 9 to be shown in drawing 1 (C). For example, when the resist pattern 6 for gate electrode 9 formation is 0.2 micrometers, 0.1-micrometer gate length's semiconductor device can be formed by setting sidewall width of face to 0.05 micrometers. Moreover, by being able to dig a silicon substrate 1 and digging an amount more deeply than the source and the drain field 3 at the time of formation of the slot before gate electrode 9 formation, the channel field of a transistor is formed in a location deeper than the source and the drain field 3, and can control the short channel effect of a transistor.

[0022] Furthermore, as shown in drawing 1 (D), it sets to etching of contact 12. In order to carry out on the conditions which can take silicon oxide 5 and a selection ratio at the time of etching of an interlayer film 11 and to carry out on the conditions which can take the selection ratio of a silicon substrate 1 and isolation 2 at the time of etching of the silicon nitride 5, For example, since isolation 2 is not deleted even if it is the case where contact 12 carries out opening on isolation 2; it becomes possible to control the leakage current between contact 12 and a silicon substrate 1.

[0023] The manufacture approach of the semiconductor device concerning [an example 2], next the 2nd

example of this invention is explained with reference to drawing 2. Drawing 2 (A) – (D) is a process sectional view for explaining typically the manufacture approach of the semiconductor device of the 2nd example of this invention.

[0024] First, as shown in drawing 2 (A), on a silicon substrate 1, for example, the trench separation forming method is used, the component isolation region 2 is formed, then using ion-implantation, boron or boron fluoride is poured into a P channel field for an arsenic or Linn with the dose of $5E12cm^{-2}$ – $5E14cm^{-2}$, and the LDD field 10 is formed in an N channel field. Then, with ion-implantation, if it is an N channel field and is a P channel field about an arsenic or Linn, boron or boron fluoride will be poured in with the dose of $1E15cm^{-2}$ – $1E16cm^{-2}$, and the source and the drain field 3 used as a diffusion layer field are formed.

[0025] Next, as shown in drawing 2 (B), silicon oxide 4 is formed by 5nm – 30nm thickness by thermal oxidation, and a silicon nitride is formed by 50nm – 200nm thickness with a CVD method. Then, the resist pattern 6 for gate electrode 9b formation is formed. Then, dry etching performs anisotropic etching for the silicon nitride 5, silicon oxide 4, and a silicon substrate 1 one by one by using a resist pattern 6 as a mask, and a slot is formed. In addition, the amount of etching of the silicon substrate 1 in this case is shallower than the LDD field 10, and it is etched so that it may become deeper than the source and the drain field 3.

[0026] Next, as shown in drawing 2 (C), a sidewall 7 is formed by the thickness of 30nm – 100nm inside a slot using silicon oxide. Then, the threshold electrical potential difference of a transistor is controlled by driving the impurities 14, such as boron and boron fluoride, arsenic, and Linn, into a slot, using ion-implantation. Then, in order to form gate oxide 8 by 2nm – 5nm thickness by thermal oxidation and to form the gate electrode 9 after that, polycrystalline silicon is deposited 10nm – 50nm in thickness with a CVD method, and etchback is carried out. The etchback in this case can form the silicon nitride 5 currently formed in the front face using the CMP method by making it an etching stopper.

[0027] Next, as shown in drawing 2 (D), the resist pattern for forming an interlayer film 11, then forming contact 12 is formed. Then, sequential etching of an interlayer film 11 and the silicon nitride 5 is carried out by using a resist pattern as a mask. First, etching in this case is performed on the conditions which can take a selection ratio with the silicon nitride 5 in the time of etching of an interlayer film 11, and the time of etching of the silicon nitride 5 performs it on the conditions which can take the selection ratio of a silicon substrate 1 and isolation 2. Then, the contact 12 interior is laid underground using a tungsten, then wiring 13 is formed.

[0028] As mentioned above, since formation of the LDD field 10 is formed in the formation process of the source and the drain field 3 in the 2nd example of this invention therefore, it is possible to reduce a manufacturing cost as compared with the 1st example which did not need to perform the process which removes a sidewall 7 and was described above.

[0029]

[Effect of the Invention] Since gate length is controlled by the sidewall according to this invention as explained above, gate length can be made smaller than the limitation of lithography, and since the channel section can be formed in a location lower than the source and the drain field which are a diffusion layer about the channel of a transistor since the substrate is dug and formed, it does so the effectiveness that a short channel effect can be controlled.

[0030] Furthermore, since it can suppress that a component isolation region is etched by etching of contact even when carrying out opening of the contact on a component isolation region, since contact is formed by using a silicon nitride as a stopper, the leakage current between contact and a silicon substrate can also be controlled.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a process sectional view for explaining typically the manufacture approach of the semiconductor device concerning the 1st example of this invention.

[Drawing 2] It is a process sectional view for explaining typically the manufacture approach of the semiconductor device concerning the 2nd example of this invention.

[Drawing 3] It is a process sectional view for explaining the manufacture approach of the conventional semiconductor device.

[Description of Notations]

1 Silicon Substrate

2 Isolation

3 Source Drain Field

4 Silicon Oxide

5 Silicon Nitride

6 Resist Pattern

7 Sidewall

8 Gate Oxide

9 Gate Electrode

10 LDD Field

11 Interlayer Film

12 Contact

13 Wiring

14 Impurity for Threshold Armature-voltage Control

15 Polycrystalline Silicon Film

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183342

(P2000-183342A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl.⁷

H01L 29/78
21/336

識別記号

F I

H01L 29/78

テマコード (参考)

301Y 5F040
301V
301X

審査請求 有 請求項の数 9 O L (全 7 頁)

(21) 出願番号 特願平10-360357

(22) 出願日 平成10年12月18日 (1998.12.18)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高橋 寿史

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

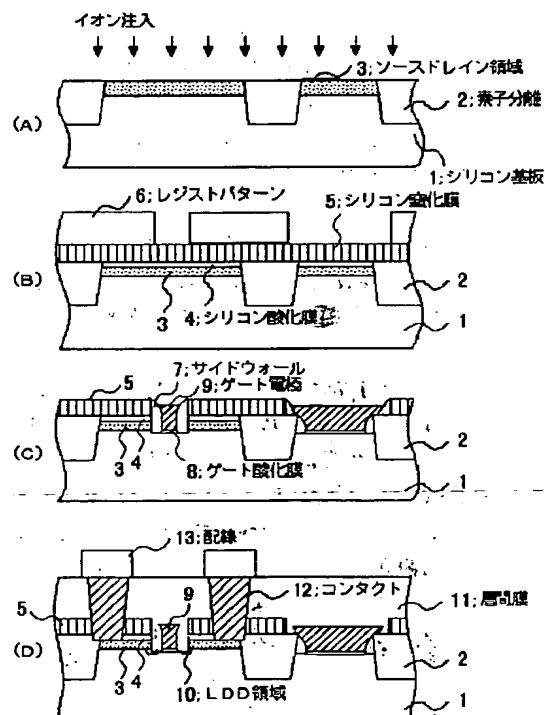
Fターム (参考) 5F040 DA00 DC01 EC07 EE04 EF01
EF02 EH02 EH07 EK05 FC00
FC10 FC22 FC28

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】短チャネル効果を抑制し、コンタクトとシリコン基板間のリークを防止することができる半導体装置及びその製造方法の提供。

【解決手段】ソースドレイン領域 (図1の3) とシリコン酸化膜 (図1の4) とシリコン窒化膜 (図1の5) とがこの順に形成されたシリコン基板に、これらを通しソースドレイン領域を分断する溝を備え、溝の内部には、その側壁から離間するように形成された柱状のゲート電極 (図1の9) を有し、溝底部のゲート電極が配設されていない領域にLDD領域 (図1の10) を形成することにより、ゲート長の縮小化に伴う短チャネル効果を抑制する。



(2)

【特許請求の範囲】

【請求項 1】半導体基板に形成されたソース／ドレイン層を分断し、前記半導体基板に達する深さの溝を有し、前記溝の内部で、かつ、該溝の側壁と離間した位置に柱状のゲート電極が配設されている、ことを特徴とする半導体装置。

【請求項 2】低濃度ドレイン (LDD) 層とソース／ドレイン層とがこの順に形成された半導体基板に、前記ソース／ドレイン層を分断し、前記低濃度ドレイン層に達する深さの溝を有し、前記溝の下部には、前記低濃度ドレイン層を分断し、前記半導体基板に達する不純物領域を有し、前記溝の内部で、かつ、該溝の側壁と離間した位置に柱状のゲート電極が配設されている、ことを特徴とする半導体装置。

【請求項 3】半導体基板の素子分離領域に挟まれた領域にソース／ドレイン層とシリコン酸化膜とシリコン窒化膜とがこの順に形成され、前記ソース／ドレイン層と前記シリコン酸化膜と前記シリコン窒化膜とを貫通し、前記半導体基板に達する深さの溝を備え、前記溝の内部には、該溝の側壁と離間して形成され、ゲート酸化膜を介して前記半導体基板に当接する柱状のゲート電極を有し、前記半導体基板と前記溝とが接する領域の内、前記ゲート電極に覆われていない領域に低濃度ドレイン層が形成されている、ことを特徴とする半導体装置。

【請求項 4】半導体基板の素子分離領域に挟まれた領域に低濃度ドレイン層とソース／ドレイン層とシリコン酸化膜とシリコン窒化膜とがこの順に形成され、前記ソース／ドレイン層と前記シリコン酸化膜と前記シリコン窒化膜とを貫通し、前記低濃度ドレイン層に達する深さの溝を備え、前記溝の内部には、該溝の側壁と離間して形成され、ゲート酸化膜を介して前記半導体基板に当接する柱状のゲート電極を有し、前記半導体基板と前記溝とが接する領域の内、前記ゲート電極の下部に、前記低濃度ドレイン層を分断する不純物領域が形成されている、ことを特徴とする半導体装置。

【請求項 5】前記不純物領域が、ボロン、フッ化ボロン、砒素又はリンのいずれかの不純物を注入することにより形成されている、ことを特徴とする請求項 2 又は 4 に記載の半導体装置。

【請求項 6】(a) 半導体基板上に素子分離領域を形成する工程と、

(b) イオン注入によりトランジスタのソース／ドレイン層を形成する工程と、

(c) シリコン酸化膜とシリコン窒化膜とをこの順に積層する工程と、

(d) レジストパターンをマスクとして、前記シリコン窒化膜と前記シリコン酸化膜と前記ソース／ドレイン層とをエッチングして、前記半導体基板に達する深さの溝を形成する工程と、

(e) 前記溝の内壁にサイドウォールを形成する工程と、

(f) 前記溝の前記サイドウォールに挟まれた空隙にゲート電極となる第 1 の導電部材を埋め込む工程と、

(g) 前記サイドウォールを除去する工程と、

10 (h) 前記サイドウォールを除去した領域を通してイオンを注入し、低濃度ドレイン層を形成する工程と、

(i) 前記半導体基板全体に層間膜を形成する工程と、

(j) 前記層間膜と前記シリコン窒化膜と前記シリコン酸化膜とをエッチングにより貫通し、コンタクト孔を形成する工程と、

(k) 前記コンタクト孔内部を第 2 の導電部材で埋設した後、所定の配線を形成する工程、とを含む、ことを特徴とする半導体装置の製造方法。

【請求項 7】(a) 半導体基板上に素子分離領域を形成する工程と、

(b) イオン注入により低濃度ドレイン層とトランジスタのソース／ドレイン層とをこの順に形成する工程と、

(c) シリコン酸化膜とシリコン窒化膜とをこの順に積層する工程と、

(d) レジストパターンをマスクとして、前記シリコン窒化膜と前記シリコン酸化膜と前記ソース／ドレイン層とをエッチングして、前記低濃度ドレイン層に達する深さの溝を形成する工程と、

20 (e) 前記溝の内壁にサイドウォールを形成する工程と、

(f) 前記サイドウォールをマスクとして、不純物を注入することにより、前記溝下部の低濃度ドレイン層を分断する不純物領域を形成する工程と、

(g) 前記溝の前記サイドウォールに挟まれた空隙に、ゲート電極となる第 1 の導電部材を埋め込む工程と、

(h) 前記サイドウォールを除去する工程と、

(i) 前記半導体基板全体に層間膜を形成する工程と、

30 (j) 前記層間膜と前記シリコン窒化膜と前記シリコン酸化膜とをエッチングにより貫通し、コンタクト孔を形成する工程と、

(k) 前記コンタクト孔内部を第 2 の導電部材で埋設した後、所定の配線を形成する工程、とを含む、ことを特徴とする半導体装置の製造方法。

【請求項 8】前記 (f) の工程の不純物領域を、ボロン、フッ化ボロン、砒素又はリンのいずれかの不純物を注入することにより形成する、ことを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】前記 (j) の工程において、前記層間膜をエッチングする際には、前記シリコン窒化膜のエッチングレートが小さくなる条件でエッチングを

50

(3)

3

行い、

前記シリコン窒化膜をエッチングする際には、前記シリコン酸化膜と前記半導体基板のエッチングレートが小さくなる条件でエッチングを行う、ことを特徴とする請求項6又は7に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の微細化・高速化に伴い、半導体素子各部、特にゲート長の寸法も縮小される傾向にある。このような従来の半導体装置の製造方法について、図3を参照して説明する。図3(A)～(D)は、従来の半導体装置の製造方法を模式的に説明するための工程断面図である。

【0003】まず、図3(A)に示すように、シリコン基板1上に素子分離領域2を、例えばトレンチ分離形成法を用いて形成し、続いて、ゲート酸化膜8を形成する。次に、図3(B)に示すように、ゲート電極9となる多結晶シリコン膜15等を形成し、続いて、ゲート電極9形成のためのレジストパターン6を形成する。次に、図3(C)に示すように、レジストパターン6をマスクとして多結晶シリコン膜15をエッチングし、その後、イオン注入法を用いて、例えば、Nチャネル領域にはヒ素又はリンを、Pチャネル領域にはボロン又はフッ化ボロンを $5 \times 10^{12} \text{ cm}^{-2}$ から $2 \sim 5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で注入し、低濃度ドレイン(LDD: Lightly Doped Drain)領域10を形成する。このLDD構造は、短チャネルトランジスタを形成するためには有効な手法である。

【0004】続いて、例えばシリコン酸化膜を用いて、ゲート電極9の外側にサイドウォール7を $30 \text{ nm} \sim 100 \text{ nm}$ の厚さで形成する。その後、イオン注入法により、例えば、Nチャネル領域であればヒ素又はリンを、Pチャネル領域であればボロン又はフッ化ボロンを $1 \times 10^{15} \text{ cm}^{-2}$ から $2 \sim 1 \times 10^{16} \text{ cm}^{-2}$ のドーズ量で注入し、拡散層領域となるソース、ドレイン領域3を形成する。

【0005】次に、図3(D)に示すように、層間膜11を形成し、続いて、コンタクト12を形成するためのレジストパターンを形成する。その後、レジストパターンをマスクとして層間膜11をエッチングする。この際のエッチングは、シリコン酸化膜5と選択比のとれる条件で行う。その後、コンタクト12内部を、例えばタンゲステンをを用いて埋設し、続いて、配線13を形成して半導体装置を製造する。

【0006】

【発明が解決しようとする課題】しかしながら、上述した従来の半導体装置の製造方法では、ゲート長をリソグ

4

ラフィーの限界よりも小さくすることはできず、また、ソース、ドレイン領域3をゲート電極9よりも深く形成しなければならないため、ソース、ドレイン領域3間の耐圧が低下しパンチスルーが起こりやすくなるという短チャネル効果を抑制することができないという問題がある。

【0007】また、コンタクト12を素子分離2上に開口する場合、コンタクト12のエッチングの際に、素子分離領域2がエッチングによって浸食されてしまうため素子分離領域2が掘られてしまい、コンタクト12とシリコン基板1間のリークが発生してしまうという問題も生じる。

【0008】本発明は、上記問題点を鑑みてなされたものであって、その主たる目的は、短チャネル効果を抑制し、コンタクトとシリコン基板間のリークを防止することができる半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明は、第1の視点において、半導体基板の素子分離領域に挟まれた領域にソース/ドレイン層とシリコン酸化膜とシリコン窒化膜とがこの順に形成され、前記ソース/ドレイン層と前記シリコン酸化膜と前記シリコン窒化膜とを貫通し、前記半導体基板に達する深さの溝を備え、前記溝の内部には、該溝の側壁と離間して形成され、ゲート酸化膜を介して前記半導体基板に当接する柱状のゲート電極を有し、前記半導体基板と前記溝とが接する領域の内、前記ゲート電極に覆われていない領域に低濃度ドレイン層が形成されているものである。

【0010】また、本発明は、第2の視点において、半導体基板の素子分離領域に挟まれた領域に低濃度ドレイン層とソース/ドレイン層とシリコン酸化膜とシリコン窒化膜とがこの順に形成され、前記ソース/ドレイン層と前記シリコン酸化膜と前記シリコン窒化膜とを貫通し、前記低濃度ドレイン層に達する深さの溝を備え、前記溝の内部には、該溝の側壁と離間して形成され、ゲート酸化膜を介して前記半導体基板に当接する柱状のゲート電極を有し、前記半導体基板と前記溝とが接する領域の内、前記ゲート電極の下部に、前記低濃度ドレイン層を分断する不純物領域が形成されているものである。

【0011】また、本発明は、第3の視点において、半導体装置の製造方法を提供する。この製造方法は、

(a) 半導体基板上に素子分離領域を形成する工程と、
(b) イオン注入によりトランジスタのソース/ドレイン層を形成する工程と、(c) シリコン酸化膜とシリコン窒化膜とをこの順に積層する工程と、(d) レジストパターンをマスクとして、前記シリコン窒化膜と前記シリコン酸化膜と前記ソース/ドレイン層とをエッチングして、前記半導体基板に達する深さの溝を形成する工程と、(e) 前記溝の内壁にサイドウォールを形成する工

(4)

5

程と、(f) 前記溝の前記サイドウォールに挟まれた空隙にゲート電極となる第1の導電部材を埋め込む工程と、(g) 前記サイドウォールを除去する工程と、

(h) 前記サイドウォールを除去した領域を通してイオンを注入し、低濃度ドレイン層を形成する工程と、

(i) 前記半導体基板全体に層間膜を形成する工程と、

(j) 前記層間膜と前記シリコン窒化膜と前記シリコン酸化膜とをエッチングにより貫通し、コンタクト孔を形成する工程と、(k) 前記コンタクト孔内部を第2の導電部材で埋設した後、所定の配線を形成する工程、とを含む。

【0012】更に、本発明は、第4の視点において、半導体装置の製造方法を提供する。この製造方法は、

(a) 半導体基板上に素子分離領域を形成する工程と、

(b) イオン注入により低濃度ドレイン層とトランジスタのソース/ドレイン層とをこの順に形成する工程と、

(c) シリコン酸化膜とシリコン窒化膜とをこの順に積層する工程と、(d) レジストパターンをマスクとして、前記シリコン窒化膜と前記シリコン酸化膜と前記ソース/ドレイン層とをエッチングして、前記低濃度ドレイン層に達する深さの溝を形成する工程と、(e) 前記溝の内壁にサイドウォールを形成する工程と、(f) 前記サイドウォールをマスクとして、不純物を注入することにより、前記溝下部の低濃度ドレイン層を分断する不純物領域を形成する工程と、(g) 前記溝の前記サイドウォールに挟まれた空隙に、ゲート電極となる第1の導電部材を埋め込む工程と、(h) 前記サイドウォールを除去する工程と、(i) 前記半導体基板全体に層間膜を形成する工程と、(j) 前記層間膜と前記シリコン窒化膜と前記シリコン酸化膜とをエッチングにより貫通し、コンタクト孔を形成する工程と、(k) 前記コンタクト孔内部を第2の導電部材で埋設した後、所定の配線を形成する工程、とを含む。

【0013】

【発明の実施の形態】本発明に係る半導体装置は、その好ましい実施の形態において、ソースドレイン領域

(図1の3)とシリコン酸化膜(図1の4)とシリコン窒化膜(図1の5)とがこの順に形成されたシリコン基板に、これらを通しソースドレイン領域を分断する溝を備え、溝の内部には、その側壁から離間するように形成された柱状のゲート電極(図1の9)を有し、溝底部のゲート電極が配設されていない領域にLDD領域(図1の10)を形成することにより、ゲート長の縮小化に伴う短チャネル効果を抑制する。

【0014】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0015】【実施例1】まず、本発明の第1の実施例に係る半導体装置の製造方法について、図1を参照して

6

説明する。図1(A)～(D)は、本発明の第1の実施例の半導体装置の製造方法を模式的に説明するための工程断面図である。

【0016】まず、図1(A)に示すように、シリコン基板1上に素子分離領域2を、例えばトレンチ分離形成法を用いて形成し、その後、イオン注入法により、例えば、Nチャネル領域であればヒ素又はリンを、Pチャネル領域であればボロン又はフッ化ボロンを $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ のドーズ量で注入し、拡散層領域となるソース、ドレイン領域3を形成する。

【0017】次に、図1(B)に示すように、例えば、シリコン酸化膜4を熱酸化により $5 \text{ nm} \sim 30 \text{ nm}$ の膜厚で形成し、シリコン窒化膜をCVD法等により $50 \text{ nm} \sim 200 \text{ nm}$ の膜厚で形成する。続いて、ゲート電極9b形成のためのレジストパターン6を形成する。その後、レジストパターン6をマスクとしてシリコン窒化膜5、シリコン酸化膜4及びシリコン基板1を順次ドライエッチングにより異方性エッチングを行い、溝部を形成する。なお、シリコン基板1のエッチング量は、ソース、ドレイン領域3よりも深くエッチングされるように調整する。

【0018】次に、図1(C)に示すように、例えばシリコン酸化膜を用いて溝部の内側にサイドウォール7を $30 \text{ nm} \sim 100 \text{ nm}$ の厚さで形成する。続いて、ゲート酸化膜8を熱酸化により $2 \text{ nm} \sim 5 \text{ nm}$ の膜厚で形成した後、ゲート電極9を形成するために、例えばCVD法により多結晶シリコンを厚さ $10 \text{ nm} \sim 50 \text{ nm}$ 堆積し、エッチバックする。なお、この際のエッチバックは、例えばCMP法を用い表面に形成されているシリコン窒化膜5をエッチングストッパーとすることで形成することができる。

【0019】次に、図1(D)に示すように、サイドウォール7をエッチング除去し、続いて、イオン注入法を用いて、例えばNチャネル領域にはヒ素又はリンを、Pチャネル領域にはボロン又はフッ化ボロンを $5 \times 10^{12} \text{ cm}^{-2} \sim 5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で注入し、LDD領域10を形成する。

【0020】その後、層間膜11を形成し、続いて、コンタクト12を形成するためのレジストパターンを形成する。その後、レジストパターンをマスクとして層間膜11、シリコン窒化膜5を順次エッチングする。この際のエッチングは、まず、層間膜11のエッチング時はシリコン窒化膜5との選択比が確保できる条件で行い、シリコン窒化膜5のエッチング時にはシリコン基板1と素子分離2との選択比が確保できる条件で行う。その後、コンタクト12内部を、例えばタングステンを用いて埋設し、続いて、配線13を形成する。

【0021】上述したように、本実施例によると、図1(C)に示すように、ゲート電極9の形成時に、サイドウォール7によりゲート長を制御することができる。例

(5)

7
 えば、ゲート電極9形成のためのレジストパターン6が0.2 μm の時、サイドウォール幅を0.05 μm とすることによって、0.1 μm のゲート長の半導体装置を形成することができる。また、ゲート電極9形成前の溝部の形成時に、シリコン基板1の掘れ量をソース、ドレイン領域3よりも深く掘ることによって、トランジスタのチャンネル領域がソース、ドレイン領域3よりも深い位置に形成され、トランジスタの短チャンネル効果を抑制することができる。

【0022】さらに、図1(D)に示すように、コンタクト12のエッチングにおいて、層間膜11のエッチング時はシリコン酸化膜5と選択比がとれる条件で行い、シリコン窒化膜5のエッチング時にはシリコン基板1と素子分離2との選択比のとれる条件で行うため、例えば、コンタクト12が素子分離2の上に開口する場合であっても素子分離2が削られることがないため、コンタクト12とシリコン基板1との間のリーク電流を抑制することが可能となる。

【0023】【実施例2】次に、本発明の第2の実施例に係る半導体装置の製造方法について、図2を参照して説明する。図2(A)～(D)は、本発明の第2の実施例の半導体装置の製造方法を模式的に説明するための工程断面図である。

【0024】まず、図2(A)に示すように、シリコン基板1上に素子分離領域2を、例えばトレンチ分離形成法を用いて形成し、続いて、イオン注入法を用いて、例えばNチャンネル領域にはヒ素又はリンを、Pチャンネル領域にはボロン又はフッ化ボロンを $5 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{14} \text{cm}^{-2}$ のドーズ量で注入し、LDD領域10を形成する。その後、イオン注入法により、例えば、Nチャンネル領域であればヒ素又はリンを、Pチャンネル領域であればボロン又はフッ化ボロンを $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ のドーズ量で注入し、拡散層領域となるソース、ドレイン領域3を形成する。

【0025】次に、図2(B)に示すように、例えば、シリコン酸化膜4を熱酸化により5 nm～30 nmの膜厚で形成し、シリコン窒化膜をCVD法により50 nm～200 nmの膜厚で形成する。続いて、ゲート電極9b形成のためのレジストパターン6を形成する。その後、レジストパターン6をマスクとしてシリコン窒化膜5、シリコン酸化膜4及びシリコン基板1を順次ドライエッチングにより異方性エッチングを行い、溝部を形成する。なお、この際のシリコン基板1のエッチング量は、LDD領域10よりは浅く、ソース、ドレイン領域3よりは深くなるようにエッチングする。

【0026】次に、図2(C)に示すように、例えばシリコン酸化膜を用いて溝部の内側にサイドウォール7を30 nm～100 nmの厚さで形成する。その後、イオン注入法を用いて、例えばボロン、フッ化ボロン、砒素、リンなどの不純物14を溝部に打ち込むことによ

8

り、トランジスタのしきい値電圧を制御する。続いて、ゲート酸化膜8を熱酸化により2 nm～5 nmの膜厚で形成し、その後、ゲート電極9を形成するために、例えばCVD法により多結晶シリコンを厚さ10 nm～50 nm堆積し、エッチバックする。この際のエッチバックは、例えばCMP法を用いて表面に形成されているシリコン窒化膜5をエッチングストッパーにすることで形成することができる。

【0027】次に、図2(D)に示すように、層間膜11を形成し、続いて、コンタクト12を形成するためのレジストパターンを形成する。その後、レジストパターンをマスクとして層間膜11、シリコン窒化膜5を順次エッチングする。この際のエッチングは、まず、層間膜11のエッチング時ではシリコン窒化膜5との選択比のとれる条件で行い、シリコン窒化膜5のエッチング時ではシリコン基板1と素子分離2との選択比のとれる条件で行う。その後、コンタクト12内部を、例えばタンゲステンを用いて埋設し、続いて、配線13を形成する。

【0028】上述したように、本発明の第2の実施例では、LDD領域10の形成をソース、ドレイン領域3の形成工程において形成するため、従ってサイドウォール7を除去する工程を行う必要がなく、前記した第1の実施例と比較して製造コストを低減することが可能である。

【0029】

【発明の効果】以上説明したように、本発明によれば、ゲート長の制御をサイドウォールにより行うため、ゲート長をリソグラフィの限界よりも小さくすることができ、また、チャンネル部は基板を掘って形成しているため、トランジスタのチャンネルを拡散層であるソース、ドレイン領域よりも低い位置に形成することができるため、短チャンネル効果を抑制することができるという効果を奏する。

【0030】更に、シリコン窒化膜をストッパーとしてコンタクトを形成しているため、コンタクトを素子分離領域上に開口する場合でも、コンタクトのエッチングによって素子分離領域がエッチングされることを抑えることができるため、コンタクトとシリコン基板間のリーク電流を抑制することもできる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る半導体装置の製造方法を模式的に説明するための工程断面図である。

【図2】本発明の第2の実施例に係る半導体装置の製造方法を模式的に説明するための工程断面図である。

【図3】従来の半導体装置の製造方法を説明するための工程断面図である。

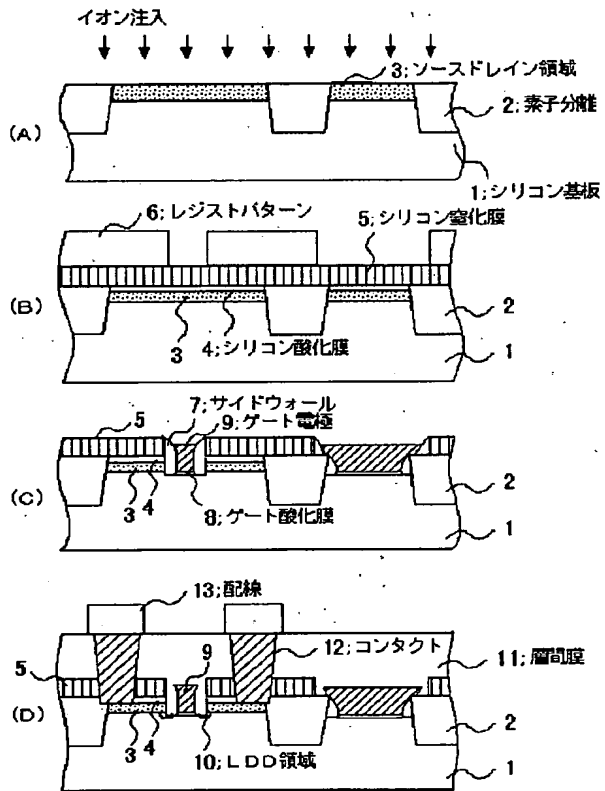
【符号の説明】

- 1 シリコン基板
- 2 素子分離
- 3 ソースドレイン領域

(6)

- 9
4 シリコン酸化膜
5 シリコン窒化膜
6 レジストパターン
7 サイドウォール
8 ゲート酸化膜
9 ゲート電極

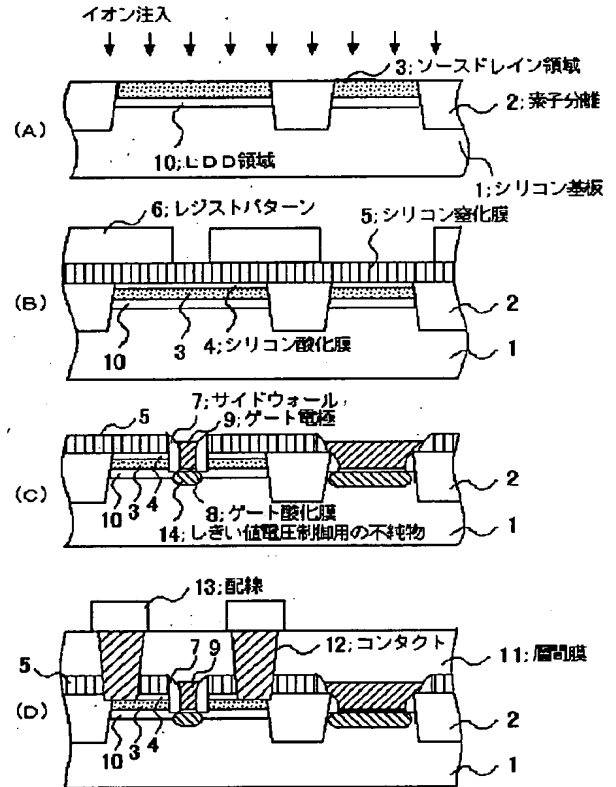
【図1】



10

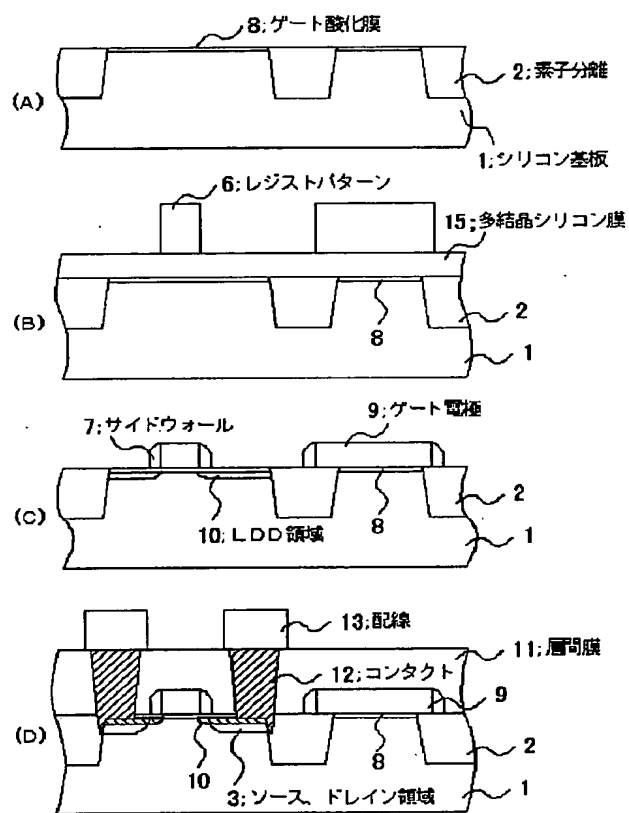
- 10 LDD領域
11 層間膜
12 コンタクト
13 配線
14 しきい値電圧制御用の不純物
15 多結晶シリコン膜

【図2】



(7)

【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.